

## Memorias de Acceso Secuencial

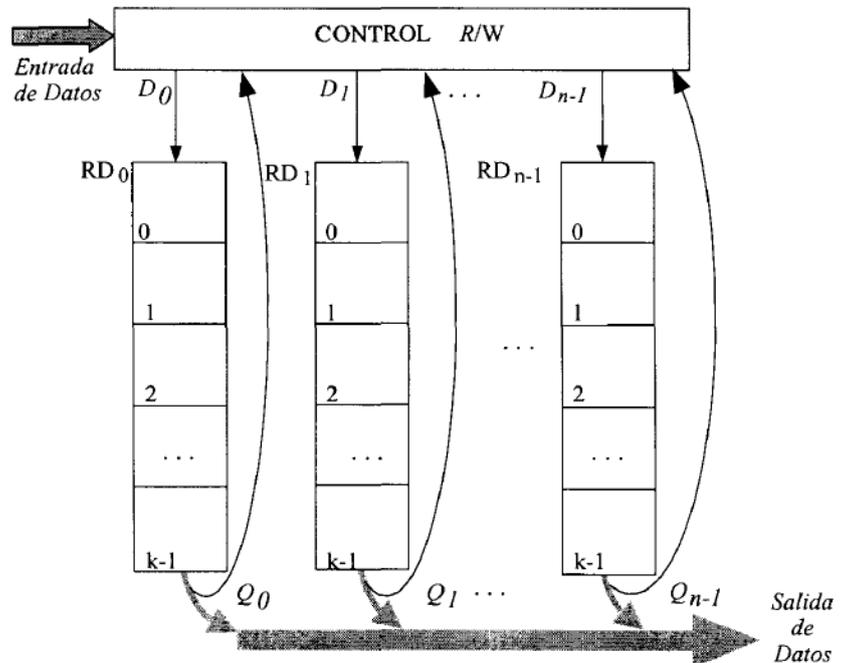
- **FIFO** (First-In, First-Out)
- **LIFO** (Last-In, First-Out)
- **Registros CCD** (Charge Coupled Devices)

### 12.1 ORGANIZACIONES DE ACCESO SECUENCIAL

**FIFO** = Primera que entra, primera que sale.

Una memoria de  $K$  palabras de  $n$  bits se construye a partir de  $n$  registros de desplazamiento (uno por bit) de longitud  $K$  (número de palabras).

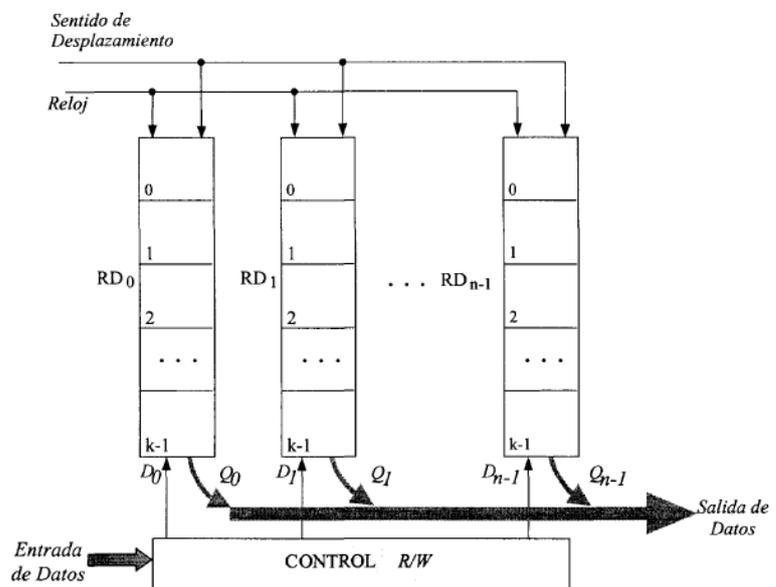
Es una organización serie-serie porque los datos se leen en serie y se escriben en serie y es FIFO porque a cada pulso de reloj se desplazan una posición los contenidos de todos los registros de desplazamiento, de forma que la palabra que entró primero, es la que también sale primero.



**LIFO** = Última que entra, primera que sale.

Cada pulso de reloj entra una nueva palabra que empuja a las que habían entrado antes aumentando la altura de la "pila". Si cambiamos ahora de lectura a escritura hay que cambiar también el sentido del desplazamiento y aparecen en el primer registro las palabras en orden inverso al que fueron escritas.

Esta organización se llama LIFO (Last-In, First-Out) ya que la última palabra que entró en la memoria es la primera que sale cuando el control pasa de escritura a lectura. También se le suele llamar memorias de **pila ("stack")** porque las palabras se "amontonan" en forma de pila.



Organización LIFO de memorias de acceso secuencial. El primer dato que sale es el último que entró.

**Al aumentar mucho la longitud de los registros de desplazamiento el tiempo de acceso a la información crece de forma tal que las organizaciones serie-serie (tipo LIFO ó FIFO) no son adecuadas. Siempre hay que moverse en una situación de compromiso entre capacidad y tiempo de acceso.**

# Memorias CCD (Charge-coupled device)

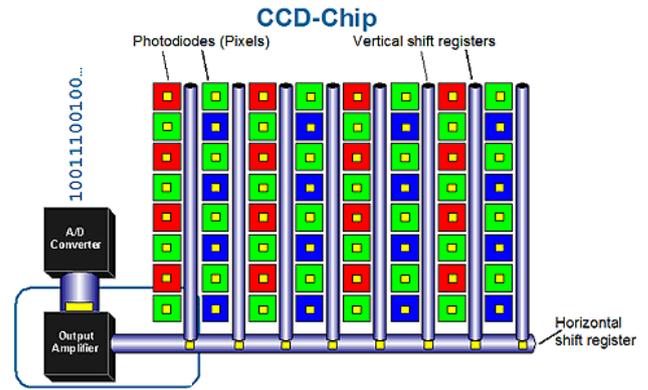
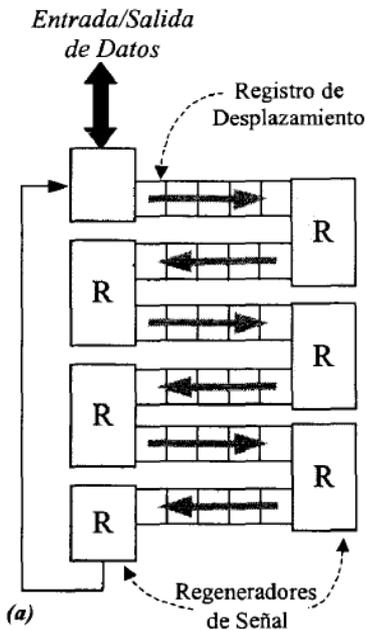
## Organización serie, con etapas intermedias de regeneración.

Se mantiene la organización serie incluyendo etapas regeneradoras de señal en todas las "esquinas". En esta

organización todos los bits realizan el mismo recorrido a través del lazo y a la misma frecuencia.

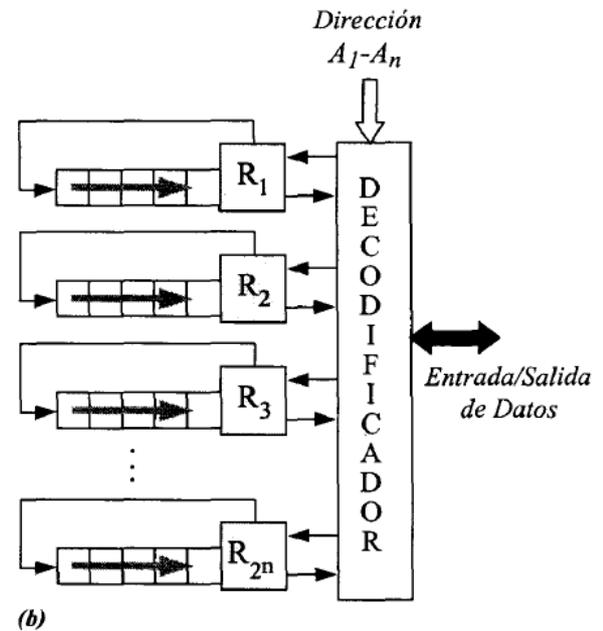
El número de bits entre dos amplificadores-regeneradores sucesivos está determinado o bien por la eficiencia en el proceso de transmisión (inversamente proporcional a las pérdidas de carga) o bien por el valor más bajo en la frecuencia de trabajo deseada en condiciones de mantenimiento.

Evidentemente, como esta organización es serie, el número de bits máximo (longitud del ciclo de recirculación) determina el valor medio del tiempo de acceso.

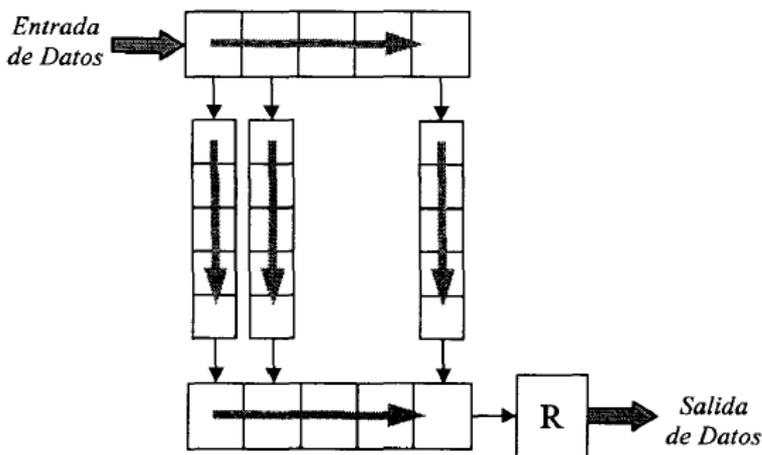


## Organización por lazos múltiples con direccionamiento directo para cada lazo

Mejora el tiempo de acceso al coste de aumentar la electrónica de direccionamiento. Lo que se ha hecho es segmentar en tramos y direccionar cada uno de estos tramos de forma directa, como hacíamos en las memorias RAM.



## Organización S-P-S (serie-paralelo-serie)



Consta de dos registros serie y un gran registro paralelo multicanal. Los datos se introducen en serie en el registro superior. Después se transfieren en paralelo a la primera etapa del registro paralelo. Todos los canales paralelos se desplazan al unísono con un mismo reloj más lento que el de los registros serie y a la salida se realiza el proceso inverso. El registro más bajo es de nuevo serie y rápido, se carga en paralelo y se lee a través del amplificador regenerador.

Obsérvese que en esta organización SPS todos los bits no siguen el mismo camino. Si el registro serie tiene  $N_s$  bits y el paralelo,  $N_p$ , cada bit se transfiere a través de  $N_s + N_p$  etapas. Así, basta con un amplificador regenerador para mantener la información asociada a un número de bits mucho

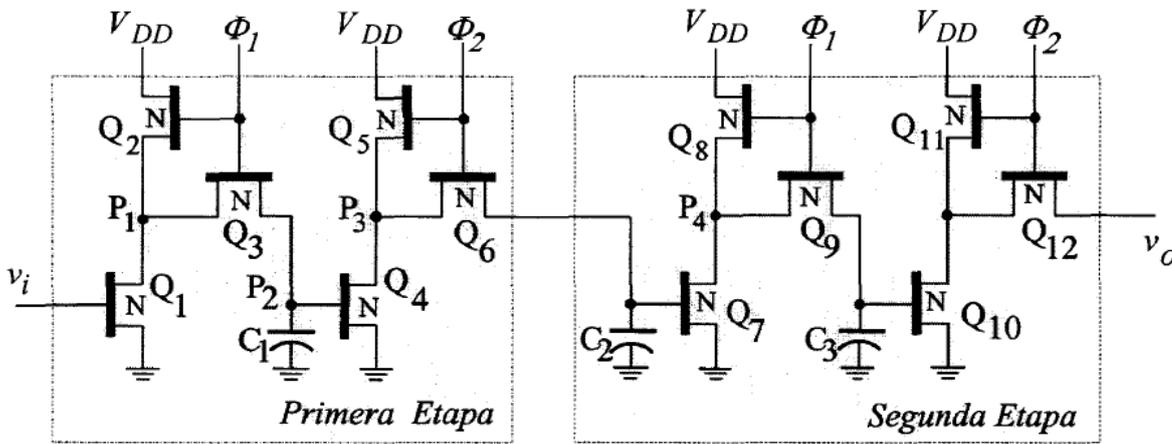
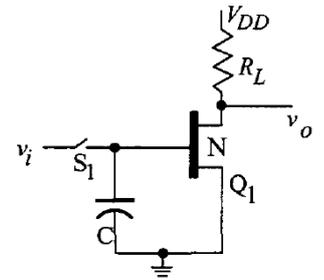
mayor que si la organización fuera serie.

## 12.2. ETAPAS DINÁMICAS EN MOS y CMOS

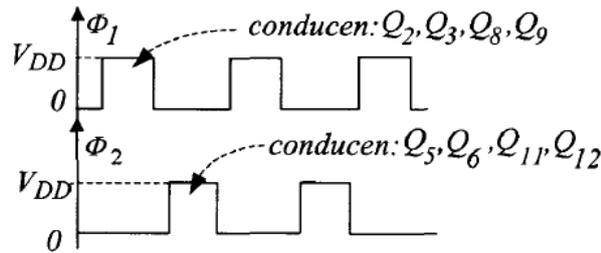
Para realizar las etapas de almacenamiento transitorio junto con el control local de la transferencia entre etapas vecinas puede usarse celdas SRAM convencionales y lógica combinacional.

Sin embargo, para el tamaño usual en memorias de acceso secuencial y en particular para las CCD, estos diseños ocupan mucha área de semiconductor por lo que se usan etapas dinámicas en MOS y CMOS.

Debido a la alta impedancia de entrada de los transistores MOS existe la posibilidad de almacenar carga en la capacidad de puerta.

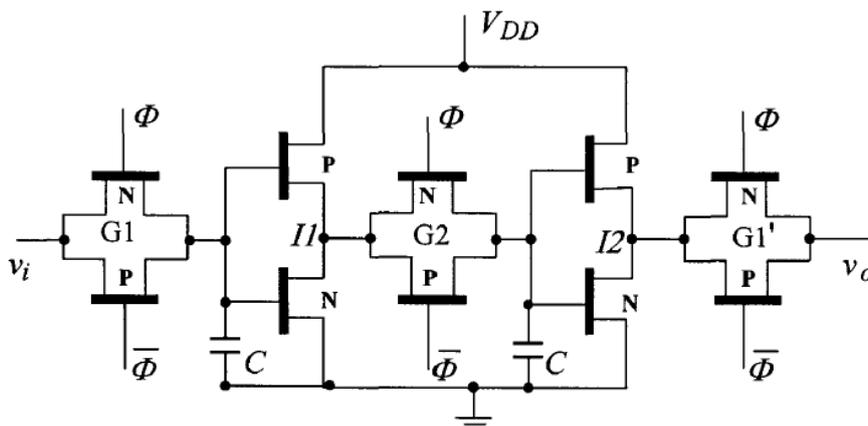


Lógica Positiva  $\left\{ \begin{array}{l} v("0")=0V \\ v("1")=V_{DD} \end{array} \right.$



Registro de desplazamiento usando reloj bifásico

Supongamos que se introduce un "0" en la entrada. Durante el intervalo en el que el reloj  $\Phi_1$  está en alta los transistores Q2 y Q3 pasan a conducción. Consecuencia del "0" en la entrada Q1 está en corte y el punto P1 es llevado a las proximidades de  $V_{DD}$  por el transistor de carga Q2. Este nivel de tensión alto ("1") se transfiere a través de Q3 al condensador C1. Comienza entonces la fase de reloj  $\Phi_2$ , pasando este a alta y haciendo que ahora conduzca Q5 y Q6. Como consecuencia del "1" almacenado en C1, el transistor Q4 también pasa a conducir y lleva al punto P3 a tierra. Esta información se transmite a C2 a través de Q6 y queda almacenada en C2 cuando termina el ciclo de reloj  $\Phi_2$  que vuelve a pasar a corte a los transistores Q5 y Q6. Así, tras  $\Phi_1$  y  $\Phi_2$  se ha desplazado el "0" desde la entrada de la primera etapa,  $V_i$ , a la entrada de la segunda (terminal de puerta de Q7). De forma análoga durante los siguientes ciclos de  $\Phi_1$  y  $\Phi_2$  esta operación se repite también en la segunda etapa a la vez que en la primera etapa se almacena la nueva entrada teniendo, por consiguiente, la estructura básica de un registro de desplazamiento.



## 12.4. MEMORIAS FIFO SOBRE CELDAS RAM EN CMOS

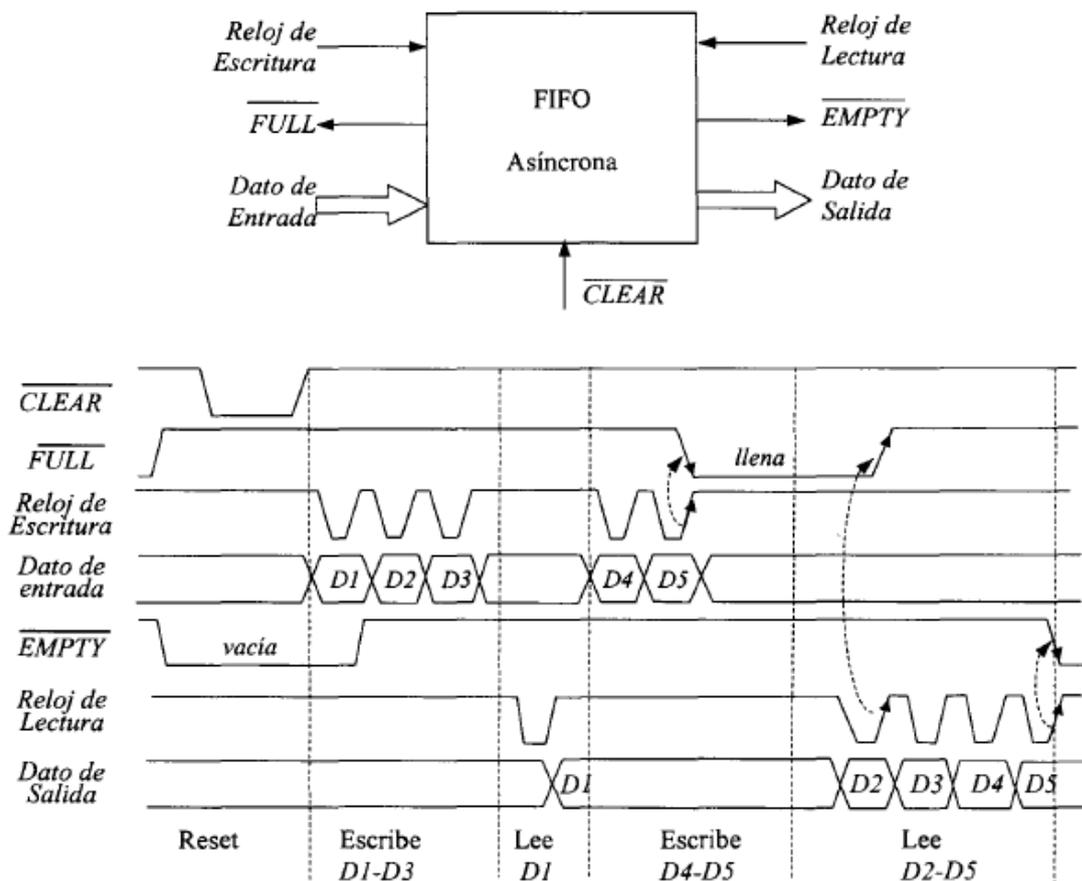
La función principal de las memorias FIFO es el almacenamiento transitorio de datos en aquellas situaciones de diseño electrónico en las que sea necesario acoplar dos sistemas digitales que operen a distinta velocidad y necesiten intercambiar datos. Siempre que los datos lleguen a un procesador en paquetes, de forma irregular o de forma regular pero a mayor velocidad, hace falta un almacenamiento intermedio, un buffer, en el que los datos que se escriben primero son los que primero salen.

Las características que definen la necesidad de las memorias FIFO son :

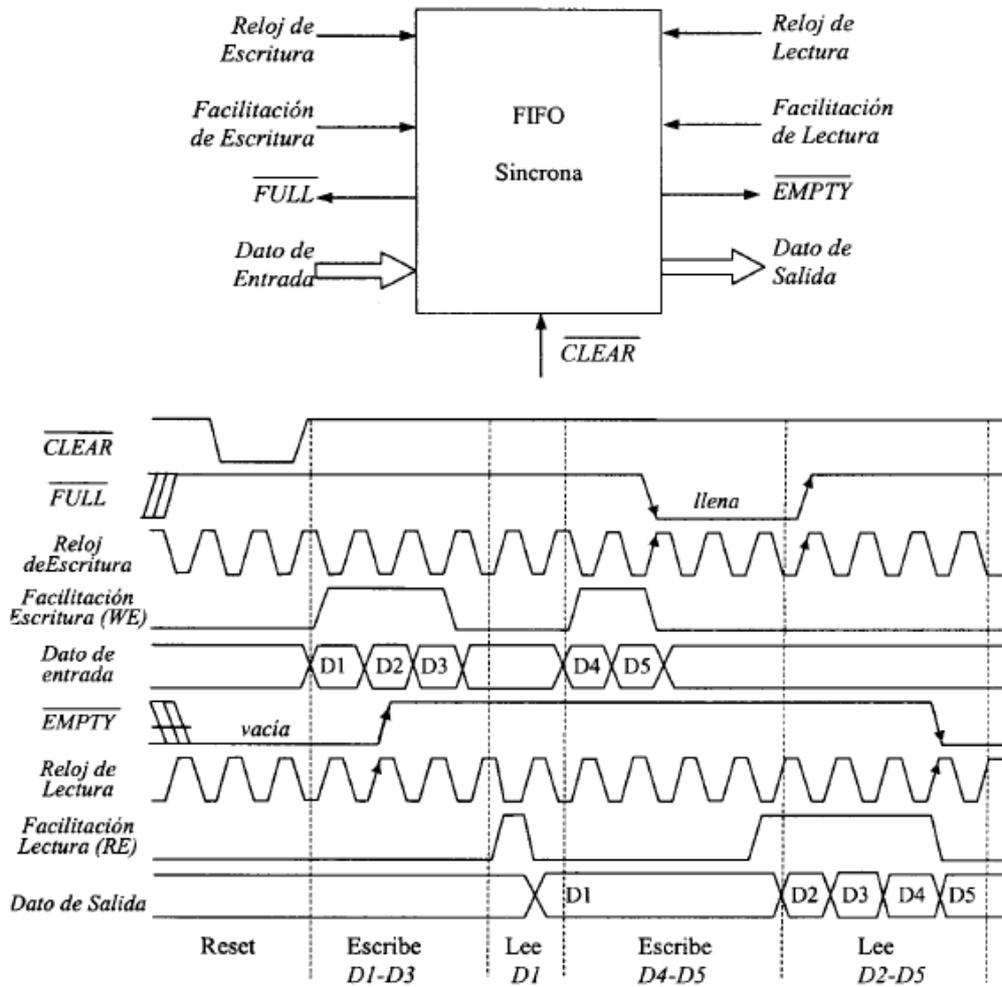
1. Acceso a sistemas de proceso lento pero constante con datos (demandas de servicio) que llegan de forma irregular.
2. Acceso a sistemas que procesan en paquetes pero a los que los datos llegan de forma esporádica.
3. Interfaces entre sistemas que trabajan a distinta velocidad.

### 12.4.1. Tipos de FIFO

- I. **FIFO tipo registro de desplazamiento**, que ya hemos visto en el apartado anterior. En estas el número de palabras almacenadas es fijo (coincide con la longitud del registro) y hay un sincronismo implícito y necesario entre las operaciones de lectura y escritura. A medida que van entrando nuevas palabras dato en los registros FIFO, otras van saliendo por el otro extremo.
- II. **FIFO de lectura/escritura mutuamente exclusivas** en las que, en cada momento, sólo se puede leer o escribir, pero no ambas cosas. El número de palabras almacenadas es variable y deben satisfacerse ciertas condiciones en el cronograma entre las señales procedentes del "sistema que escribe" y las procedentes del "sistema que lee". Es necesario un cierto nivel de sincronismo entre estos dos sistemas.
- III. **FIFO de lectura/escritura concurrente**, con un número variable de palabras almacenadas y posibilidad de lectura y escritura asíncrona, pudiendo coexistir ambos procesos. Es decir, no hay restricciones en el cronograma de los ciclos de lectura y escritura. Son independientes y no necesitan ningún sincronismo entre ellos. Esto significa que cuando dos sistemas de distinta frecuencia se conectan a la FIFO, no necesitamos preocuparnos de la sincronización, porque la realiza internamente el circuito.



(a) Terminales de una FIFO asíncrona. (b) Cronograma para longitud 4.

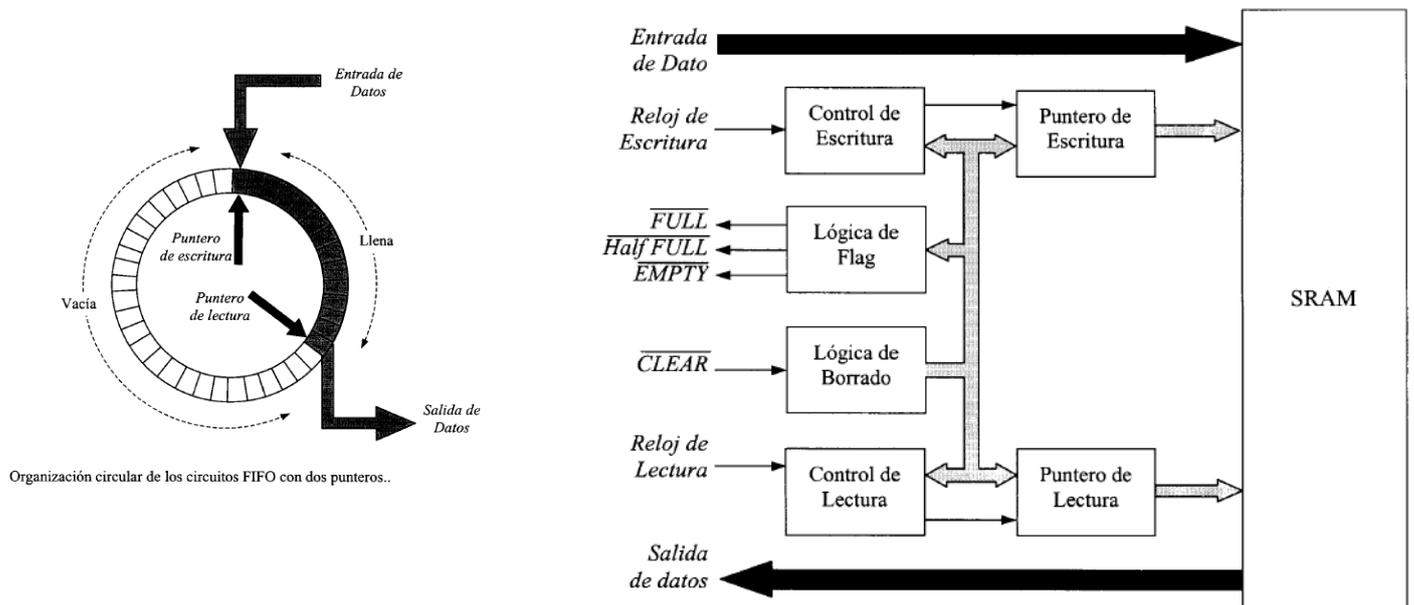


(a) Terminales de una FIFO síncrona de Texas Instrument. (b) Cronograma de los procesos de lectura y escritura.

### 12.4.2. Arquitecturas de las FIFO-RAM

La primera es la inherente a los registros de desplazamiento: entra un nuevo dato, que "cae" hasta la primera posición no ocupada, se desplazan todos los demás y sale el del último biestable del registro. El principal inconveniente de esta organización es el retardo intrínseco al recorrido de todo el registro cuando el tamaño de la FIFO es grande.

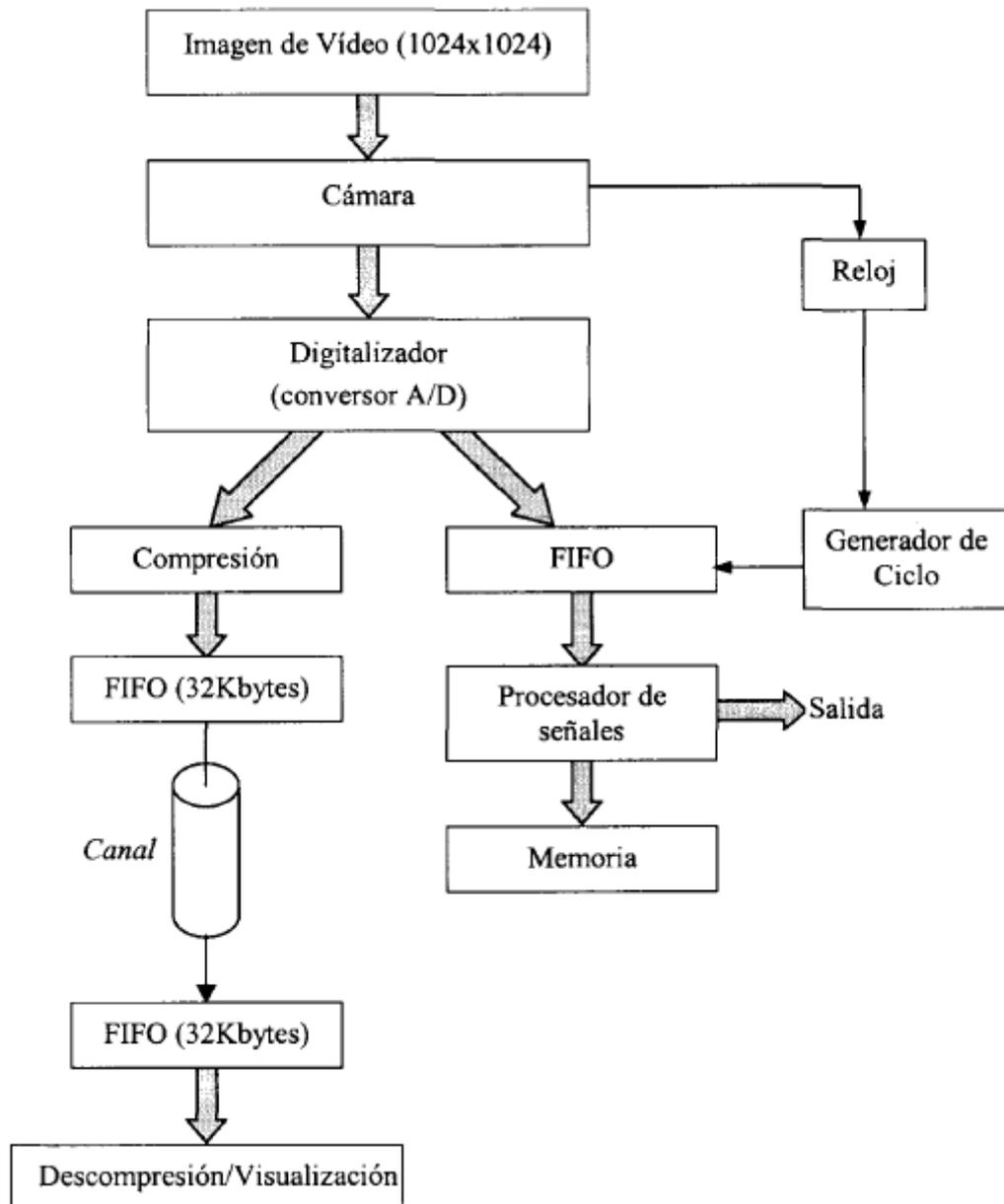
El otro tipo de arquitectura está basado en una organización circular de la memoria y el uso de dos punteros.



Organización circular de los circuitos FIFO con dos punteros..

Diagrama de bloques de las FIFO SRAM de T. I. tipo ACT-7881.

## 12.6. APLICACIONES DE LAS FIFO



Esquema cualitativo de las aplicaciones de las FIFO en los procesos de adquisición de datos para su posterior tratamiento digital o transmisión.